

FORMING METHOD OF ACTIVE LAYER IN COMPOUND SEMICONDUCTOR DEVICE

Publication number: JP8279475

Publication date: 1996-10-22

Inventor: YOSHIDA SHOGO

Applicant: MURATA MANUFACTURING CO

Classification:

- International: H01L21/265; H01L21/324; H01L21/338; H01L29/812; H01L21/02; H01L29/66; (IPC1-7): H01L21/265; H01L21/324; H01L21/338; H01L29/812

- European:

Application number: JP19950104657 19950404

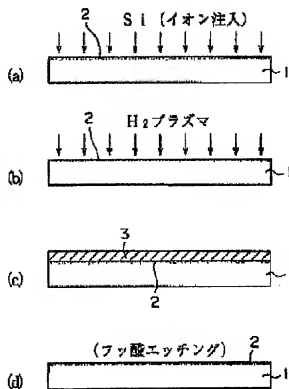
Priority number(s): JP19950104657 19950404

Report a data error here

Abstract of JP8279475

PURPOSE: To provide a thin active layer uniformly with high carrier density, by carrying out an annealing step after baking treatment for a wafer that is implanted with Si ions.

CONSTITUTION: An n-type active layer 2 is formed by implanting Si ions as impurity in a GaAs crystal substrate 1. The substrate 1 is stored in a baking furnace, and H₂ plasma is cast to the active layer 2 for 5 minutes. Then, SiNx, SiON and SiOx are deposited on the face of the crystal substrate 1 in a plasma CVD method to form a protective film for preventing an As element during annealing. The substrate 1 with the protective film thereon is stored in an annealing unit, and the active layer 2 is subjected to a cap-annealing step in activation treatment for 20 minutes at an annealing temperature of 800 deg.C with N₂ atmosphere. In this case, a crystal atom that occupies a different-kind lattice position can be reduced at annealing, and the thin active layer 2 with a high carrier density can be formed with a small variation.



Data supplied from the esp@cenet database - Worldwide

特開平8-279475

(43) 公開日 平成8年(1996)10月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/265			H 0 1 L 21/265	A
21/324			21/324	C
21/338			21/265	C
29/812		7376-4M	29/80	B
審査請求 未請求 請求項の数1 F D (全 4 頁)				

(21) 出願番号 特願平7-104657
 (22) 出願日 平成7年(1995)4月4日

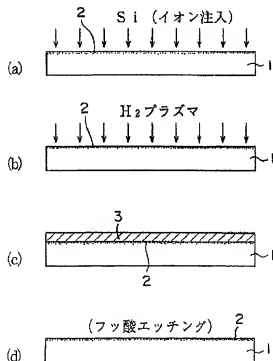
(71) 出願人 00006231
 株式会社村田製作所
 京都府長岡京市天神二丁目28番10号
 (72) 発明者 吉田 昭吾
 京都府長岡京市天神二丁目28番10号 株式
 会社村田製作所内
 (74) 代理人 弁理士 中野 雅房

(54) 【発明の名称】 化合物半導体における能動層の形成方法

(57) 【要約】

【構成】 GaAs化合物半導体結晶基板1にSiイオンを注入した後、6規定の塩酸に浸漬し、水洗した。ついで当該結晶基板1をプラズマCVD装置内に納めてH₂プラズマを照射した後、当該結晶基板1に前記Siイオンを活性化させるための熱処理を施し、能動層2を形成した。

【効果】 能動層のキャリア濃度を大きくし、能動層の活性化率を高めることができた。



(2)

1

【特許請求の範囲】

【請求項1】 化合物半導体結晶基板に不純物をイオン注入した後、注入不純物を活性化させるための熱処理を施して当該結晶基板に能動層を形成する方法において、不純物を注入された結晶基板に H_2 プラズマを照射した後、不純物を活性化させるための前記熱処理を当該結晶基板に施して能動層を形成することを特徴とする化合物半導体における能動層の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は化合物半導体における能動層の形成方法に関し、特に、GaAs結晶基板にSiイオンを注入して能動層を形成するための方法に関する。

【0002】

【背景技術】 GaAs・IC用の電界効果型トランジスタ（以下、FETと記す）を作製する場合には、一般に、GaAs結晶基板に不純物をイオン注入することによって能動層（動作層）を形成する。しかし、イオン注入は、イオン化した不純物を高電界で加速してGaAs結晶基板中に叩き込むものであるから、Ga原子やAs原子が各格子点からずれて欠陥となる。また、注入された不純物がGaAs中でドナーやアクセプタとして働くには、注入された不純物がGaAs結晶基板中のいずれかの格子位置を占有して置換原子となる必要がある（例えば、Siがドナーとして働くためには、Ga格子点を占めなければならない）。このためFETの能動層を形成する場合、イオン注入で乱された格子点を元に戻し、不純物を電気的に活性化させるために、イオン注入後のアニール（熱処理）工程は不可欠であり、注入不純物の活性化率を向上させることはFETの特性向上のために重要である。

【0003】 従来、GaAsFETのn型能動層を形成するには、Si等の不純物をGaAs結晶基板にイオン注入した後、プラズマCVD法によってGaAs結晶基板上に SiO_x 、 $SiON$ 、 SiN 膜等の保護膜を堆積させ、窒素雰囲気中において800℃で数10分間アニール（キャップアニール）することにより、注入不純物を活性化させていた。

【0004】

【発明が解決しようとする課題】 しかしながら、近年ではGaAsFETに対する高性能化の要請がますます強まっており、この要請に応えるためには、高キャリア濃度で厚さの薄い能動層をロット間のばらつきが少ないように形成することが要求される。この要求を実現するためには、イオン注入エネルギーの低減とともに高い活性化率の能動層を安定して得る必要がある。

【0005】 しかしながら、Toshio Hiramoto et. al., Japanese Journal of Applied Physics, Vol.24 No. 12 pp.L921-L924 (1985)等の論文によれば、イオン注入

2

された注入不純物を活性化させるためのアニール工程で、その熱処理のために異種原子の格子位置を占める原子が結晶基板表面に形成され、これにより能動層の活性化率の低下を引き起こすことが報告されており、問題となっている。例えば、GaAs結晶基板にSiをイオン注入する場合を考えると、GaAs基板に注入されたSiイオンはGa原子と置換し、Ga格子位置を占めるので、As原子で余剰となった電子がキャリアとして放出され、n型能動層が形成される。しかし、アニール時の熱処理によりAs格子位置を占めるGa、すなわちGaAs (antisite Ga) がGaAs結晶基板の表面に形成されると、As原子から放出されたキャリア電子はGaAsに捕獲され、キャリア濃度が低下する。さらに、このGaAsの生成ばらつきによってキャリア濃度、すなわち能動層の活性化率のばらつきが発生する。

【0006】 本発明は叙上の従来例の欠点に鑑みてなされたものであり、その目的とするところは、アニール時に異種格子位置を占有する結晶原子を低減させることにより、高キャリア濃度で、かつ厚さの薄い能動層をばらつきが少なく形成することができる化合物半導体における能動層の形成方法を提供することにある。

【0007】

【発明の開示】 本発明による化合物半導体における能動層の形成方法は、化合物半導体結晶基板に不純物をイオン注入した後、注入不純物を活性化させるための熱処理を施して当該結晶基板に能動層を形成する方法において、不純物を注入された結晶基板に H_2 プラズマを照射した後、当該結晶基板に前記不純物を活性化させるための熱処理を施して能動層を形成することを特徴としている。

【0008】 本発明においては、イオン注入後、アニール工程の熱処理前に結晶基板に H_2 プラズマ処理を施したところ、能動層の活性化率を高めることができた。この結果、高キャリア濃度で、かつ、厚さの薄い能動層を小さなばらつきで形成することができた。

【0009】

【実施例】 図1は本発明の一実施例によりGaAs結晶基板に不純物としてSiイオンを注入することにより、n型能動層を形成する場合を例として説明する。

【0010】（実施例サンプルの作製）まず、図1

(a)に示すように、イオン注入装置によりGaAs結晶基板（ウエハ）1の表面（図1のサンプルでは全面にイオン注入しているが、実際の素子では、能動層形成領域）に $29Si^+$ を注入エネルギー150keV、ドーズ量 $5 \times 10^{12} cm^{-2}$ で注入し、能動層2を形成した。ついで、この結晶基板1を5分間、6規定の塩酸（6N-HCl）に浸漬した後、水洗した。

【0011】 ついで、図1(b)に示すように、結晶基板1をプラズマCVD装置内に納め、基板温度300℃、RF出力150W、 H_2 ガス流量200sccm、

(3)

真空度 0.6×10^{-11} の条件下で、結晶基板1の能動層2の領域に5分間の H_2 プラズマ照射を行なった。

【0012】引き続き、図1(c)に示すように、プラズマCVD法によって結晶基板1の表面に $SiNx$ 、 $SiON$ 、 $SiOx$ 等を堆積させることにより、アニール時に As の蒸発を抑えるための保護膜3を約 $1,000 \text{ \AA}$ の厚さに成膜した。

【0013】この後、保護膜3を形成された結晶基板1をランプアニール等のアニール装置に入れ、窒素ガス雰囲気中において 800°C のアニール温度で20分間キャップアニールを行なった。こうして能動層2の活性化処理を行なった後、図1(d)に示すように、フッ酸等のエッチング液で保護膜3を剥離させた。

【0014】(比較例サンプルの作製) また、比較のためのサンプルとして、 H_2 プラズマを照射する工程を行わず、その他の工程については上記実施例サンプルと全く同様にして比較例サンプルを作製した。

【0015】(実施例サンプルと比較例サンプルの最大キャリア濃度の比較) 上記のようにして作製された実施例サンプルと比較例サンプルについて、結晶基板表面からの深さ d とキャリア濃度 c との関係を検査した結果を図2(縦軸のキャリア濃度は対数目盛、横軸の深さ d は整数目盛)に示す。この図2から明らかに、 H_2 プラズマ処理を行なった実施例サンプルでは、 H_2 プラズマ処理を行わない比較例サンプルよりも大きなキャリア濃度が確認された。特に、比較例サンプルの最大キャリア濃度(ピークキャリア濃度)は、 $2.2 \times 10^{17} \text{ cm}^{-3}$ であるのに対し、実施例サンプルの最大キャリア濃度は、 $2.7 \times 10^{17} \text{ cm}^{-3}$ と大きくなった。また、サンプル間の最大キャリア濃度のばらつきも、 H_2 プラズマ処理を行わない比較例サンプルでは10%以上あったのに対し、 H_2 プラズマ処理を行なった実施例サンプルでは、5%以下であった。

【0016】従って、 Si イオン注入後に H_2 プラズマ処理を行ってからアニール処理すると、能動層の活性化率が高くなって能動層のキャリア濃度が大きくなり、ロット間におけるキャリア濃度のばらつきも小さくできることが分かる。また、表面におけるキャリア濃度が大きくなるので、表面キャリア濃度の例えば $1/2$ のキャリア濃度の深さで定義される能動層の厚さは薄くなる。加えて、 Si イオンの活性化率が高くなるので、同じキャリア濃度を得るためには従来よりもイオン注入エネルギーを小さくすることができ、それに伴って能動層の厚みも薄くすることができる。

【0017】(フォトルミネセンス測定) このように H

2 プラズマ処理を行なうと、 Si イオンの活性化率が高くなってキャリア濃度が高くなると共にロット毎の活性化率のばらつきを小さくできるのは、 $GaAs$ が減少するためであると考えられる。これを確認するために行なったフォトルミネセンス(PL)測定による表面検査結果を図3に示す。図3において波長 λ が $8,500 \text{ \AA}$ 付近に表われているフォトルミネセンス強度のピークは $GaAs$ に関するものであり、 H_2 プラズマ処理を行なった実施例サンプルでは、 H_2 プラズマ処理を行わない比較例サンプルよりも、この $GaAs$ に関するピークは小さくなっている。従って、 Si イオン注入後に H_2 プラズマ処理を行なうことにより、 $GaAs$ を減少させて Si イオンの活性化率を高めることができ、その結果キャリア濃度を大きくし、そのばらつきを小さくできることが裏付けられる。

【0018】なお、 H_2 プラズマ処理条件は、上記実施例に記載したものに限定されるものでなく、フォトルミネセンスで $GaAs$ に関する波長 $8,500 \text{ \AA}$ 付近のピークを減少させることができる条件であればよい。

【0019】また、アニール方法として、キャップレスアニールを行なえば、保護膜によって結晶基板表面に与えるストレスを低減できるので、さらに活性化率を向上させることができる。

【0020】

【発明の効果】本発明によれば、高い活性化率の能動層を小さなばらつきで形成することができる。従って、能動層のキャリア濃度、特に表面付近のキャリア濃度(最大キャリア濃度)を減少させないで厚みの薄い能動層を、キャリア濃度のばらつきを小さく形成することができる。この結果、 $GaAs$ FETのような化合物半導体装置をより高機能化することができる。

【図面の簡単な説明】

【図1】実施例サンプルを作製する各工程を示す図であって、(a)はイオン注入の工程、(b)は H_2 プラズマ処理の工程、(c)は保護膜を形成する工程、(d)は保護膜を除去する工程を示す。

【図2】 H_2 プラズマ処理を行なった実施例サンプルと、 H_2 プラズマ処理を行わない比較例サンプルの各キャリア濃度プロファイルを示す図である。

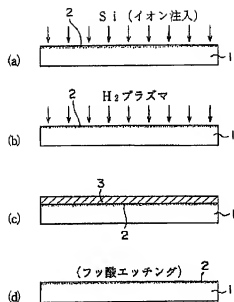
【図3】実施例サンプルと比較例サンプルのフォトルミネセンス測定の結果を示す図である。

【符号の説明】

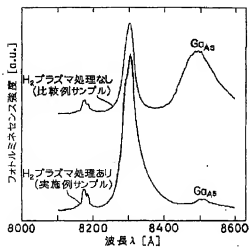
- 1 $GaAs$ 結晶基板(ウエハ)
- 2 能動層
- 3 保護膜

(4)

【図1】



【図3】



【図2】

